

PAT-NO: JP407049890A  
DOCUMENT-IDENTIFIER: JP 07049890 A  
TITLE: LAYOUT DEVICE  
PUBN-DATE: February 21, 1995

INVENTOR-INFORMATION:

NAME  
KISHIMOTO, YASUNORI

ASSIGNEE-INFORMATION:

NAME MITSUBISHI ELECTRIC CORP	COUNTRY N/A
----------------------------------	----------------

APPL-NO: JP05196069

APPL-DATE: August 6, 1993

INT-CL (IPC): G06F017/50

ABSTRACT:

PURPOSE: To shorten the period of LSI development by converting existent layout information into desired new layout information.

CONSTITUTION: A function block similar to a 2nd function block required to develop a 2nd LSI 15 for a function block 12 used for an existent LSI 11 is extracted from a data file 14. Then an aspect ratio and area required to deform the similar function block into the 2nd function block 16 are set by using a control file 17 and their parameters are set. Then a layout means 19 deforms the similar function block on the basis of the parameters. At this

time, a layout means 19 selects and extracts an element which has the same input/output pin number and the same logic driving ability satisfying capacity from a library file 18 and converts the element for an output stage element which varies in the capacity owing to variation in wiring length. Consequently, the 2nd function block 16 which is set is generated.

COPYRIGHT: (C)1995, JPO

特開平7-49890

(43)公開日 平成7年(1995)2月21日

(51)Int.Cl.  
G 0 6 F 17/50

識別記号

府内整理番号

F I

技術表示箇所

7623-5L

G 0 6 F 15/ 60

3 7 0 K

## 審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号

特願平5-196069

(22)出願日

平成5年(1993)8月6日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岸本 靖則

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

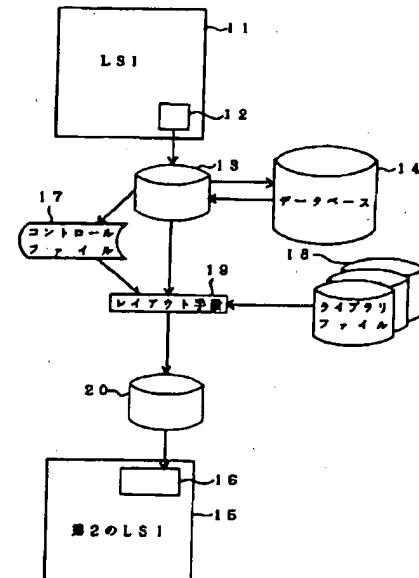
(74)代理人 弁理士 高田 守

## (54)【発明の名称】 レイアウト装置

## (57)【要約】

【目的】 既存の機能ブロックのレイアウト情報を新しい所望の機能ブロックのレイアウト情報に変換可能なレイアウト装置を得る。

【構成】 新たに開発される第2のLSI 15に必要な第2の機能ブロック16に類似の機能ブロックをデータベース14から抽出し、類似の機能ブロックを第2の機能ブロック16に変換するために必要なアスペクト比および面積を設定してそのパラメータを指示するコントロールファイル17と、類似の機能ブロックをコントロールファイル17で指示されたパラメータに基づいて変形し第2の機能ブロック16に変換するとともに、第2の機能ブロック16に適した各要素をライブラリファイル18から抽出して新レイアウト情報20を生成するレイアウト手段19とを備える。



12:機能ブロック  
13:レイアウト情報  
16:第2の機能ブロック  
20:新レイアウト情報

1

## 【特許請求の範囲】

【請求項1】複数のLSIの各機能ブロック単位毎のレイアウト情報を蓄積して格納するデータベースと、各素子の論理、駆動能力および遅延情報を格納するライブラリファイルと、新たに開発される第2のLSIに必要な第2の機能ブロックに類似の機能ブロックを上記データベースから抽出し、上記類似の機能ブロックを上記第2の機能ブロックに変換するために必要なアスペクト比および面積を設定しそのパラメータを指示するコントロールファイルと、上記類似の機能ブロックを上記コントロールファイルで指示された上記アスペクト比および面積のパラメータに基づいて変形し第2の機能ブロックに変換するとともに、上記第2の機能ブロックに適した各素子を上記ライブラリファイルから抽出して新レイアウト情報を生成するレイアウト手段とを備えたことを特徴とするレイアウト装置。

【請求項2】複数のLSIの各機能ブロック単位毎のレイアウト情報を蓄積して格納するデータベースと、各素子の論理、駆動能力および遅延情報を格納するライブラリファイルと、新たに開発される第2のLSIに必要な第2の機能ブロックに類似の機能ブロックを上記データベースから抽出し、上記類似の機能ブロックを上記第2の機能ブロックに変換するために必要なアスペクト比および面積を設定しそのパラメータを指示するコントロールファイルと、上記類似の機能ブロックを上記コントロールファイルで指示された上記アスペクト比および面積のパラメータに基づいて変形し第2の機能ブロックに変換するとともに上記第2の機能ブロックに適した各素子を上記ライブラリファイルから抽出して新レイアウト情報を生成し、又、上記第2の機能ブロックを1つの素子として見た遅延情報を上記ライブラリファイル内の遅延情報に基づいて生成するレイアウト手段とを備えたことを特徴とするレイアウト装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、LSI開発時に適用されるレイアウト装置に関するものである。

## 【0002】

【従来の技術】図3は従来のレイアウト装置の概略構成を示すブロック図である。図において、1はLSI、2はこのLSI1で使用される機能ブロック、3はこの機能ブロック2の例えば配置、配線、素子等のレイアウト情報、4は各機能ブロック2の各レイアウト情報を蓄積して格納するデータベース、5は新たに開発される第2のLSI、6はこの第2のLSIに使用される第2の機能ブロックである。

【0003】次に、上記のように構成された従来のレイアウト装置の動作について説明する。まず、LSI1の開発で使用された機能ブロック2のレイアウト情報3を、データベース4内に格納する。そして、新たに第2

10

のLSI5の開発時には、データベース4内に格納された各レイアウト情報3の中から、第2のLSIに必要な第2の機能ブロック6と同一論理を持つ機能ブロックを選択して抽出し、第2の機能ブロック6として利用する。

## 【0004】

【発明が解決しようとする課題】従来のレイアウト装置は以上のように構成されているので、第2のLSI5を新たに開発する際に、第2の機能ブロック6と同一論理を持った機能ブロックが、予めデータベース4内に格納された機能ブロックの中に存在している場合は利用可能であるが、存在していない場合は利用できないため、新たな機能ブロックを生成しなければならず、LSI開発の工期が遅延するという問題点があった。

【0005】この発明は上記のような問題点を解消するためになされたもので、既存のレイアウト情報を新規の所望のレイアウト情報に変換可能とすることにより、LSI開発の工期の短縮ができるレイアウト装置を提供することを目的とするものである。

## 【0006】

【課題を解決するための手段】この発明の請求項1に係るレイアウト装置は、複数のLSIの各機能ブロック単位毎のレイアウト情報を蓄積して格納するデータベースと、各素子の論理、駆動能力および遅延情報を格納するライブラリファイルと、新たに開発される第2のLSIに必要な第2の機能ブロックに類似の機能ブロックをデータベースから抽出し、類似の機能ブロックを第2の機能ブロックに変換するために必要なアスペクト比および面積を設定してそのパラメータを指示するコントロールファイルと、類似の機能ブロックをコントロールファイルで指示されたアスペクト比および面積のパラメータに基づいて変形し第2の機能ブロックに変換するとともに、第2の機能ブロックに適した各素子をライブラリファイルから抽出して新レイアウト情報を生成するレイアウト手段とを備えたものである。

【0007】又、この発明の請求項2に係るレイアウト装置は、複数のLSIの各機能ブロック単位毎のレイアウト情報を蓄積して格納するデータベースと、各素子の論理、駆動能力および遅延情報を格納するライブラリファイルと、新たに開発される第2のLSIに必要な第2の機能ブロックに類似の機能ブロックをデータベースから抽出し、類似の機能ブロックを第2の機能ブロックに変換するために必要なアスペクト比および面積を設定してそのパラメータを指示するコントロールファイルと、類似の機能ブロックをコントロールファイルで指示されたアスペクト比および面積のパラメータに基づいて変形し第2の機能ブロックに変換するとともに第2の機能ブロックに適した各素子をライブラリファイルから抽出して新レイアウト情報を生成し、又、第2の機能ブロックを1つの素子として見た遅延情報をライブラリファイル

20

30

40

50

内の遅延情報に基づいて生成するレイアウト手段とを備えたものである。

【0008】

【作用】この発明の請求項1におけるレイアウト装置のレイアウト手段は、データベースから抽出された類似の機能ブロックをコントロールファイルで指示されたアスペクト比および面積のパラメータに基づいて変形し第2の機能ブロックに変換するとともに、第2の機能ブロックに適した各素子をライブラリファイルから抽出して新レイアウト情報を生成する。

【0009】又、この発明の請求項2におけるレイアウト装置のレイアウト手段は、データベースから抽出された類似の機能ブロックをコントロールファイルで指示されたアスペクト比および面積のパラメータに基づいて変形し第2の機能ブロックに変換するとともに第2の機能ブロックに適した各素子をライブラリファイルから抽出して新レイアウト情報を生成し、又、第2の機能ブロックを1つの素子として見た遅延情報をライブラリファイル内の遅延情報に基づいて生成する。

【0010】

【実施例】

実施例1. 以下、この発明の実施例を図について説明する。図1はこの発明の実施例1におけるレイアウト装置の概略構成を示すブロック図である。図において、11はLSI、12はこのLSI1で使用される機能ブロック、13はこの機能ブロック12の例えば配置、配線、素子等のレイアウト情報、14は各機能ブロック12の各レイアウト情報を蓄積して格納するデータベースである。

【0011】15は新たに開発される第2のLSI、16はこの第2のLSI15で使用される第2の機能ブロック、17は第2のLSI15に必要な第2の機能ブロック16に類似の機能ブロックをデータベース14から抽出し、この類似の機能ブロックを第2の機能ブロック16に変形するために必要なアスペクト比(形状、すなわちタテとヨコの比)および面積を設定してそのパラメータを指示するコントロールファイル、18は各素子の論理、駆動能力、遅延情報を格納するライブラリファイル、19はレイアウト手段で、データファイル14から抽出された類似の機能ブロックを、コントロールファイル17で指示されたアスペクト比および面積のパラメータに基づいて変形することにより第2の機能ブロック16に変換するとともに、この第2の機能ブロック16に適した各素子をライブラリファイル18から抽出して新レイアウト情報20を生成する。

【0012】次に、上記のように構成されたこの発明の実施例1におけるレイアウト装置の動作について説明する。まず、第2のLSI15の開発に必要な第2の機能ブロックに類似の機能ブロックをデータファイル14から抽出する。そして、コントロールファイル17により

類似の機能ブロックを第2の機能ブロック16に変形するために必要なアスペクト比および面積を設定してそのパラメータを設定する。次いで、レイアウト手段19により類似の機能ブロックを上記パラメータに基づいて変形する。

【0013】この時、変形のために必然的に機能ブロック内の各素子を接続する配線の長さおよび容量が変わる。したがって、配線の長さが変わり容量の大きくなつた配線の出力段の素子については、レイアウト手段19によりライブラリファイル18内から、上記容量を満足する同一入出力ピン数、同一論理の適した駆動能力を有する素子を選択して抽出し素子の変換を行う。又、配線の長さが変わり容量の小さくなつた配線の出力段の素子についても、上記同様レイアウト手段19によりライブラリファイル18内から、上記容量を満足する同一入出力ピン数、同一論理の駆動能力の小さい素子を選択して抽出し素子の変換を行う。そして、以上の操作によりコントロールファイル17で設定されたアスペクト比および面積の機能ブロック、すなわち第2の機能ブロック16が生成される。

【0014】実施例2. 図2はこの発明の実施例2におけるレイアウト装置の概略構成を示すブロック図である。図において、図1における実施例1と同様な部分については同一符号を付して説明を省略する。21は新たに開発される第2のLSI、22a、22b、22cはこの第2のLSIに適用される複数の第2の機能ブロック、23はレイアウト手段で、データファイル14から抽出された類似の機能ブロックを、コントロールファイル17で指示されたアスペクト比および面積のパラメータに基づいて変形することにより第2の機能ブロック22aに変換するとともに、この第2の機能ブロック22aに適した各素子をライブラリファイル18から抽出して新レイアウト情報25を生成し、又、第2の機能ブロック22aの変換と一緒に、この第2の機能ブロック22aを1つの素子として見た遅延情報24b、24cを、ライブラリファイル18内の遅延情報から算出して生成する。

【0015】このように上記実施例2によれば、第2のLSI21の第2の機能ブロック22a変換時に、遅延情報24b、24cと一緒に生成するようにしているので、第2のLSI21内で、例えば他の第2の機能ブロック22b、22cが必要になった場合、遅延情報24b、24cにより容易に変換することができ、階層化レイアウトの実行が可能になる。

【0016】実施例3. 尚、上記各実施例では、同一プロセス間での機能ブロックのレイアウト変換について説明したが、異なるプロセス間においても、ライブラリファイルを用意することにより、プロセス間の容量の違いを考慮してレイアウト交換が可能となることは勿論である。

## 【0017】

【発明の効果】以上のように、この発明の請求項1によれば、複数のLSIの各機能ブロック単位毎のレイアウト情報を蓄積して格納するデータベースと、各素子の論理、駆動能力および遅延情報を格納するライブラリファイルと、新たに開発される第2のLSIに必要な第2の機能ブロックに類似の機能ブロックをデータベースから抽出し、類似の機能ブロックを第2の機能ブロックに変換するために必要なアスペクト比および面積を設定してそのパラメータを指示するコントロールファイルと、類似の機能ブロックをコントロールファイルで指示されたアスペクト比および面積のパラメータに基づいて変形し第2の機能ブロックに変換するとともに、第2の機能ブロックに適した各素子をライブラリファイルから抽出して新レイアウト情報を生成するレイアウト手段とを備えたので、既存の機能ブロックのレイアウト情報を新規の所望の機能ブロックのレイアウト情報に変換可能となり、LSI開発の工期の短縮ができるることは勿論のこと、階層化レイアウトの実行が可能なレイアウト装置を提供することができる。

【0018】又、この発明の請求項2によれば、複数のLSIの各機能ブロック単位毎のレイアウト情報を蓄積して格納するデータベースと、各素子の論理、駆動能力および遅延情報を格納するライブラリファイルと、新たに開発される第2のLSIに必要な第2の機能ブロックに類似の機能ブロックをデータベースから抽出し、類似の機能ブロックを第2の機能ブロックに変換するために必要なアスペクト比および面積を設定してそのパラメータを指示するコントロールファイルと、類似の機能ブロックをコントロールファイルで指示されたアスペクト比および面積のパラメータに基づいて変形し第2の機能ブ

10

30

ロックに変換するとともに第2の機能ブロックに適した各素子をライブラリファイルから抽出して新レイアウト情報を生成し、又、第2の機能ブロックを1つの素子として見た遅延情報をライブラリファイル内の遅延情報に基づいて生成するレイアウト手段とを備えたので、既存の機能ブロックのレイアウト情報を新規の所望の機能ブロックのレイアウト情報に変換可能となり、LSI開発の工期の短縮ができるることは勿論のこと、階層化レイアウトの実行が可能なレイアウト装置を提供することができる。

## 【図面の簡単な説明】

【図1】この発明の実施例1におけるレイアウト装置の概略構成を示すブロック図である。

【図2】この発明の実施例2におけるレイアウト装置の概略構成を示すブロック図である。

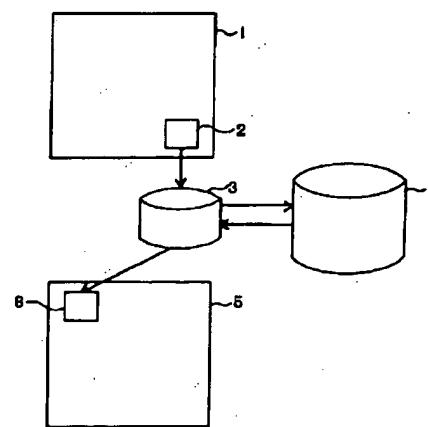
【図3】従来のレイアウト装置の概略構成を示すブロック図である。

## 【符号の説明】

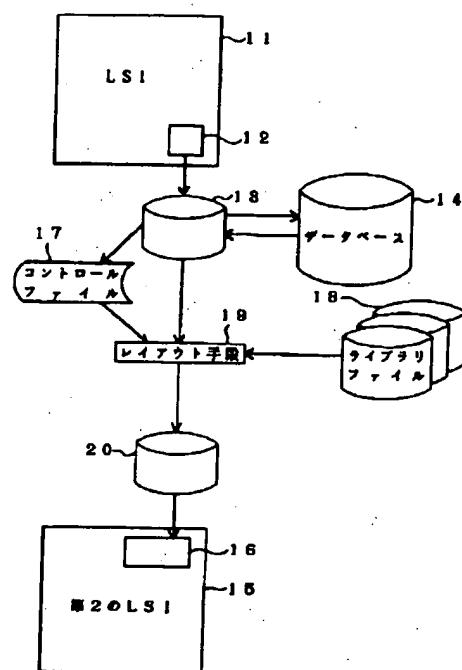
11 LSI

20 12 機能ブロック  
13 レイアウト情報  
14 データベース  
15、21 第2のLSI  
16、22a、22b、22c 第2の機能ブロック  
17 コントロールファイル  
18 ライブラリファイル  
19、23 レイアウト手段  
20、25 新レイアウト情報  
24b、24c 遅延情報

## 【図3】

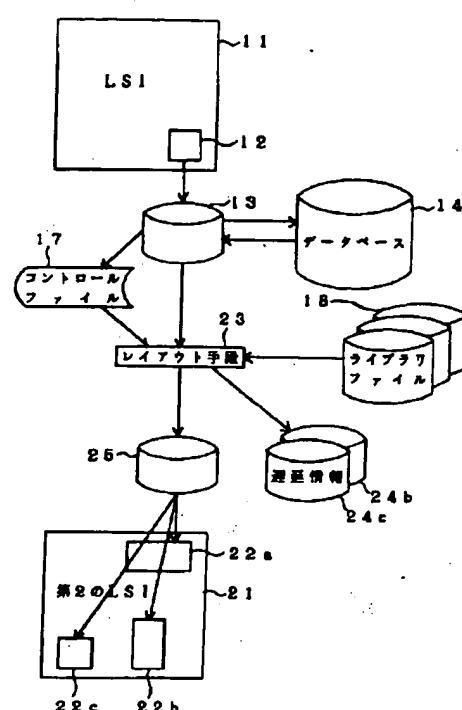


【図1】



12: 構造ブロック  
 13: レイアウト情報  
 18: 第2の構造ブロック  
 20: 新レイアウト情報

【図2】



12: 構造ブロック  
 13: レイアウト情報  
 22a, 22b, 22c: 第2の構造ブロック  
 25: 新レイアウト情報